

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08064633 A**

(43) Date of publication of application: **08.03.96**

(51) Int. Cl.

**H01L 21/60**

**H01L 21/66**

**H01L 21/321**

(21) Application number: **06200357**

(22) Date of filing: **25.08.94**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **HONMA SOICHI  
SAITO MASAYUKI**

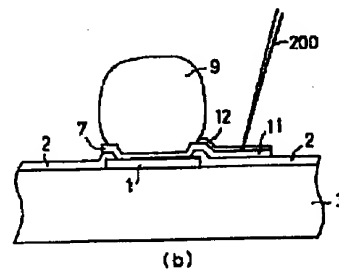
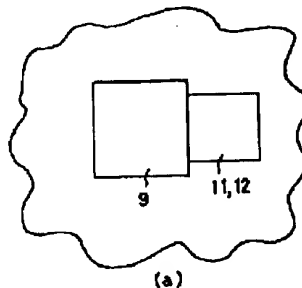
**(54) SEMICONDUCTOR ELEMENT AND  
SEMICONDUCTOR DEVICE**

**(57) Abstract:**

**PURPOSE:** To obtain a semiconductor element having bump electrodes which can be inspected electrically using an inspection probe without causing any damage on the electrode, and a highly reliable semiconductor device to be mounted on a wiring board.

**CONSTITUTION:** The semiconductor device comprises a semiconductor chip 3, a bump connection pad 1 formed on the major surface of the semiconductor chip 3, an inspection pad 11 formed closely to the pad 1 on the major surface of the semiconductor chip 3 and connected electrically with the pad 1, and a bump electrode 9 formed on the pad 1. The semiconductor element is face down mounted on a wiring board. Since the semiconductor element can be inspected by touching an inspection probe 200 to the inspection pad 11, the bump electrode 9 is not damaged at all and thereby the reliability is enhanced.

**COPYRIGHT: (C)1996,JPO**



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64633

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. <sup>4</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	7726-4E		
21/66	E	7514-4M		
21/321				
		9169-4M	H 0 1 L 21/ 92	6 0 3 D
		9169-4M		6 0 4 T
			審査請求 未請求	請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平6-200357

(22) 出願日 平成6年(1994)8月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 本間 莊一

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 斉藤 雅之

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 則近 憲佑

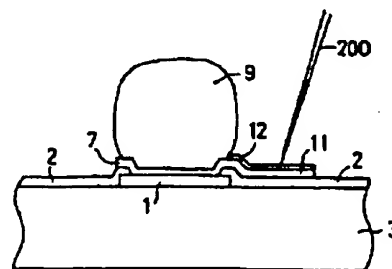
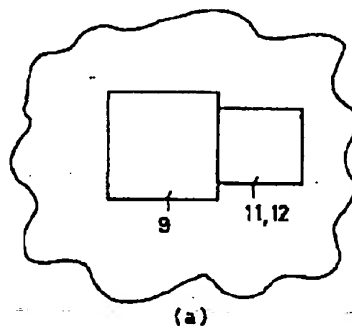
## (54) 【発明の名称】 半導体素子及び半導体装置

## (57) 【要約】

【目的】 バンプ電極付き半導体素子を検査用プローブを用いて電氣的に検査する際、バンプ電極に損傷を与えることなく検査を行うことが可能な半導体素子、及びそれを配線基板上に実装してなる信頼性の高い半導体装置の提供を目的とする。

【構成】 半導体チップ3と、この半導体チップ3の主面上に形成されたバンプ接続用パッド1と、パッド1に近接して半導体チップ3の主面上に、パッド1に電氣的に接続されるように形成された検査用パッド11と、パッド1上に形成されたバンプ電極9とを具備する半導体素子及びこれを配線基板上にフェイスダウンで実装してなる半導体装置。

【効果】 このようにして形成された半導体素子は検査用プローブ200を検査用パッド11に接触させて検査を行えるので、バンプ電極9に全く傷を与えることがなく信頼性の向上を図れる。



(b)

## 【特許請求の範囲】

## 【請求項1】 半導体チップと、

前記半導体チップの主面上に形成されたパンプ電極接続用パッドと、

このパンプ電極接続用パッドに隣接して前記半導体チップの主面上に、前記パンプ電極接続用パッドと電気的に接続するように形成された検査用パッドと、  
前記パンプ電極接続用パッド上に形成されたパンプ電極とを具備することを特徴する半導体素子。

## 【請求項2】 半導体チップと、

前記半導体チップの主面上に形成されたパンプ電極接続用パッドと、

このパンプ電極接続用パッドに隣接して前記半導体チップの主面上に、前記パンプ電極接続用パッドと電気的に接続するように形成された検査用パッドと、  
前記パンプ電極接続用パッド上に形成されたパンプ電極と、  
このパンプ電極を介して前記半導体チップが実装される配線基板とを具備することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体素子及びこの半導体素子を所要の配線基板上にパンプ電極を介してフェイスダウンで実装してなる半導体装置に関する。

## 【0002】

【従来の技術】 電子機器の高速化・高密度化に対応する技術として、半導体チップのペアチップを実装基板上にそのまま実装する方法が最近多く開発されている。これらの方法は具体的にはペアチップ上の電極と配線基板上の電極をワイヤーボンディングにより接続するワイヤーボンディング法、テープにより接続するTAB法、はんだ等のパンプ電極によりチップをフェイスダウンに接続するフリップチップ法などがある。

【0003】 特にフリップチップ法は半導体チップ上のパッドにパンプ電極を蒸着法、ディップ法、めっき法などで形成し、配線基板表面の金属パッドと位置合わせをして接続する方法であり、半導体チップの全面を利用して接続を行えること、パンプ電極によって接続を行うため非常に微細なピッチの接合もできることなどにより、高密度実装が可能となり電子機器の小形化を図れる。また半導体チップと配線基板がパンプ電極で直接接続されているため、ワイヤーやテープのような余分な配線が不要になり、信号伝達遅延が低減できるので電子機器の高速化を図れる等の特徴があり近年開発が盛んに行われている。

【0004】 図20に従来のフリップチップ法によるパンプ電極を有する半導体素子の形状を示す。図のように半導体チップ203上のアルミニウムパッド201上にCu、Ni、Cr、Tiやこれらの合金等により形成されたバリアメタル207が形成され、このバリアメタル207上にははんだ等により形成されたパンプ電極20

9が形成されている。

## 【0005】

【発明が解決しようとする課題】 本発明者らは、このような構造の半導体素子の検査を行う場合、パンプ電極209上に検査用のプローブ200を接触させて検査したところ、パンプ電極209が傷つき実装後の半導体装置の信頼性に影響を与えていることを見出した。特に半導体素子の集積化が大きくなるにつれ、パンプ電極の径が小さくなるとこの問題は顕著になってくる。すなわち50 $\mu$ m角よりも小さいパンプ電極になると、検査用プローブ200をパンプ電極209に接触させるとパンプ電極209が傷つくだけでなく潰れてしまうという不具合を生じていた。

【0006】 上述したように、従来のパンプ電極構造を有する半導体素子では、検査を行うための検査用プローブをパンプ電極に直接接触させていた。このためパンプ電極が傷つく・潰れるといった不具合を生じ、このようなパンプ電極を有する半導体素子を配線基板に実装すると、半導体装置の信頼性に影響を与えてしまうという問題があった。

【0007】 本発明は上記問題点を鑑みて成されたもので、パンプ電極に影響を与えることなく半導体素子の検査を行い得る半導体素子を提供することを目的とする。また本発明の別な目的は、半導体素子の検査をパンプ電極に影響を与えることなく行い得るものであり、このような半導体素子を配線基板上に実装することによって信頼性の高い半導体装置を提供するものである。

## 【0008】

【課題を解決するための手段】 上記目的を達成するため本発明による半導体素子は、半導体チップと、前記半導体チップの主面上に形成されたパンプ電極接続用パッドと、このパンプ電極接続用パッドに隣接して前記半導体チップの主面上に、前記パンプ電極接続用パッドと電気的に接続するように形成された検査用パッドと、前記パンプ電極接続用パッド上に形成されたパンプ電極とを具備することを特徴するものである。また、本発明による半導体装置は、半導体チップと、前記半導体チップの主面上に形成されたパンプ電極接続用パッドと、このパンプ電極接続用パッドに隣接して前記半導体チップの主面上に、前記パンプ電極接続用パッドと電気的に接続するように形成された検査用パッドと、前記パンプ電極接続用パッド上に形成されたパンプ電極と、このパンプ電極を介して前記半導体チップが実装される配線基板とを具備することを特徴とするものである。

【0009】 本発明による半導体素子及びそれを実装してなる半導体装置の構造を図1(a)、(b)を用いて説明する。図1(a)は本発明による半導体素子の平面図、図1(b)は断面図である。

【0010】 本発明による半導体素子は、半導体チップ3と、この半導体チップ3の主面上に形成されたパンプ

電極接続用パッド1と、このパッド1上に形成されたバリアメタル7と、パッド1に隣接して半導体チップ3の主面上に、バリアメタル7と一体的に形成された検査用パッド11と、バリアメタル7上に形成されたバンプ電極9とを具備することを特徴するものである。

【0011】また、前記バリアメタルは接続時にバンプ電極9の電極材料がパッド1に拡散しない機能を有するものである。ここではバリアメタル7と一体的に検査用パッドを形成してパッド1と電気的接続をとったが、特にこれに限定されるものではなくバリアメタル7とは別に検査用パッドを設けても良い。

【0012】また、バンプ電極9をリフローした場合、上記検査用パッド11上にバンプ電極材料が流れ出ないようにするために、バンプ電極材料に濡れない層12を検査用パッド11上に形成することがさらによい。このバンプ電極材料に濡れない層としては、酸化層或いは窒化層を用いることができる。

【0013】また本発明による半導体装置は半導体チップ3と、この半導体チップ3の主面上に形成されたバンプ電極接続用パッド1と、このバンプ電極接続用パッド1上に形成されたバリアメタル7と、バンプ電極接続用パッド1に隣接して半導体チップ3の主面上に、バリアメタル7と一体的に形成された検査用パッド11と、バリアメタル7上に形成されたバンプ電極9と、前記バンプ電極9を介して半導体チップ3が実装される配線基板（図示せず）とを具備することを特徴とするものであり、前記半導体素子を配線基板上に実装し得られるものである。

【0014】本発明の1態様に係る半導体素子は半導体チップのバンプ接続用パッド上に形成するバリアメタルを、バンプ接続用パッド上に形成するバンプ電極よりも大きく、前記バンプ接続用パッドと一体的に、そしてバンプ接続用パッドの周囲方向へ延ばすように形成するものであり、バンプ接続用パッドの周囲方向へ延ばされた部分を検査用のパッドとして用いることを特徴とするものである。

【0015】本発明の1態様に係る半導体素子の製造方法はバリアメタルをあらかじめエッチングにより選択的にパターニングすることによって、バリアメタルと検査用パッドを同時に一体的に形成し、その後バンプ電極をバリアメタルを介してバンプ接続用パッド上に形成するものである。

【0016】また本発明の別の態様に係る半導体素子の製造方法は、あらかじめエッチングにより、バリアメタル、検査用パッド、及びめっき電極として用いる金属膜と検査用パッドとを全て接続するように形成し、その後レジストを塗布し、露光・現像により開口部をバンプ接続用パッド上に形成し、この開口部に選択的にバンプ電極をはんだ等の金属により形成し、次にめっき電極として用いた金属膜をエッチング除去するものである。

【0017】本発明の半導体素子及び半導体装置のバンプ電極は種々の金属を用いることができるが、スズ、鉛、ビスマス、インジウム、金、銅、ニッケル、アルミニウム、銀、鉄、チタン、クロム及びこれらの金属の合金等を用いることが好ましい。特に、融点が低く、低抵抗接続に有利であるのでスズ・鉛はんだがさらに好ましい。

【0018】また、本発明の半導体素子及び半導体装置のバリアメタルとして用いる金属は種々のものを用いることができるが、銅、チタン、クロム、ニッケル、タングステン、モリブデン、これらの金属の多層膜等を用いることができる。好ましくはバリア性、密着性の理由により銅-チタン多層膜またはニッケル-チタン多層膜がよい。

【0019】また、本発明の半導体素子及び半導体装置のバンプ接続用パッドとして用いる金属は種々のものを用いることができるが、アルミニウム、銅、ニッケルを用いることが好ましい。特にアルミニウムを用いることがさらに好ましい。

【0020】

【作用】図1に示すように、本発明による半導体素子はバンプ電極9が形成されているパッド1に隣接して、これと電気的に接続された検査用バンプ11を新たに設けることによって、検査を行う際には検査用プローブ200をバンプ電極9に直接接触せずに、検査用パッド11に接触させ検査を行うことができるので、バンプ電極9が損傷する危険性はない。従って全く損傷のないバンプ電極を有する半導体素子を配線基板に実装することができるので、信頼性の高い半導体装置を提供することが可能となる。

【0021】

【実施例】以下に本発明の実施例を図面を用いて詳細に説明する。

（実施例1）図2から図15は本発明の第1の実施例に係る半導体素子及び半導体装置の製造方法を説明する各工程での断面図である。

【0022】先ず、図2に示すようにアルミニウムで形成されたバンプ接続用パッドである電極パッド1を有する6インチ厚さ500 $\mu$ mの半導体チップウェハ3を用意する。この半導体チップウェハ3には10mm角の半導体チップが存在する。電極パッド1の大きさは20 $\mu$ m角、パッドピッチは50 $\mu$ mで半導体チップの周囲に形成してある。符号2はSiO<sub>2</sub>、SiN<sub>2</sub>等からなるパッシベーション膜である。

【0023】次に図3に示すように、この半導体チップウェハ3全面にバリアメタル及び検査用パッドとなる金属膜4としてCu（膜厚1.0 $\mu$ m）/Ti（膜厚0.1 $\mu$ m）多層膜を電子ビーム蒸着装置、スパッタ装置等で成膜する。バリアメタルとしてはCu/Tiの他にTi（膜厚0.1 $\mu$ m）のみ、Cr（膜厚0.1 $\mu$ m）の

み、Cu (膜厚1.0  $\mu\text{m}$ ) のみ、Ni (膜厚0.3  $\mu\text{m}$  ~ 1.0  $\mu\text{m}$ ) またはTi (膜厚0.1  $\mu\text{m}$ ) とCu (膜厚1.0  $\mu\text{m}$ ) などの金属多層膜でも良い。

【0024】次に図4に示すように、フォトリソ技術によりアルミニウム電極パッド1 (20  $\mu\text{m}$  角) よりも1辺が10  $\mu\text{m}$  大きい30  $\mu\text{m}$  角のレジスト5を形成する。この時アルミニウム電極パッド1間を配線で全て接続をとれるようなパターンに第1のレジストを形成する。

【0025】図5は図4を上面から見たものである。パターンニングされたレジスト5の符号6で表される部分はアルミニウム電極パッド1間を全て接続するための配線を形成するための部分である。

【0026】次に図6及び図7に示すように、レジスト5をマスクとしてCu/Ti金属膜4をエッチングし、バリアメタル及び検査用パッドとなるCu/Ti金属膜7を形成する。この時エッチングは先ずCuをクエン酸と過酸化水素水の混合液からなる溶液でエッチングし、引き続きTiをエチレンジアミン四酢酸 (EDTA)、アンモニア水、過酸化水素からなる混合液でエッチングする。次いでエッチングマスクとして使用したレジスト7をアセトンなどの有機溶剤で除去する。

【0027】次に図8に示すように、フォトリソ技術によりアルミニウム電極パッド1 (20  $\mu\text{m}$  角) と重なるように、同じ大きさの20  $\mu\text{m}$  角の開口部をレジスト8により形成する。

【0028】次に図9に示すように、この開口部へスズ1.2 g/リットル、鉛8 g/リットル、アルカンサルホン酸100 g/リットルからなる溶液に浸し、浴温度25℃でCu/Ti金属膜7を陰極、図示しないはんだ板 (スズ63%、鉛37%) を陽極とし、電流密度5 Aを印加して緩やかにかくはんしながら、前記開口部にSn/Pb=63:37のはんだ合金からなるパンプ電極9を30  $\mu\text{m}$  めっきした。次いでレジスト8をアセトンなどの有機溶剤で除去する。

【0029】次に図10及び図11に示すように、フォトリソ技術によりパンプ電極9を覆うように長方形や正方形のパターンをレジスト10により形成する。次に図12に示すように、レジスト10をマスクとして、前述の全てのアルミニウム電極パッド1を接続していたCu/Ti金属膜7配線部分13をエッチング除去する。エッチング後、レジスト10をアセトンにより溶解除去した。

【0030】この時符号11で示される部分は検査用パッドとなる。次に図13に示すように、検査用パッド11上を酸化または窒化処理しはんだに濡れない層12を形成する。その後半導体ウェハ3を窒素雰囲気中で230℃で1分間加熱し、はんだをリフローする。こうすることによって、リフロー時にはんだが溶融し検査用パッド11上まで流れ出すのを防ぐことが可能となる。

【0031】次にそれぞれの半導体チップをダイシングして本実施例による半導体素子は完成する。すなわち、本実施例による半導体素子は半導体チップ3と、この半導体チップ3の主面上に形成されたパンプ接続用パッド1と、パンプ接続用パッド上に形成されたバリアメタル7と、パンプ接続用パッド1に隣接して半導体チップ3の主面上に、バリアメタル7と一体的に形成された接続用パッド11と、バリアメタル7上に形成されたパンプ電極9とを具備するものである。

【0032】このようにして形成された半導体素子を検査用のパッド11に、検査用のプローブを接触させ半導体素子の検査をしたところ、パンプ電極9に全く傷を与えることなく検査をすることができた。またプローブは検査用パッド11上の酸化または窒化層12を容易に突き破ることができるためプローブと検査用パッド11との接触は良好である。

【0033】次に図14に示すように、このようにして作製した半導体素子を通常の方法により、配線基板上に実装した。すなわち配線基板103上のCu等で構成された接続パッド102と半導体チップ100上のパンプ電極101を例えばハーフミラーを用いる位置合わせ装置などを使って接触させる。このとき配線基板103は加熱機構を有するステージ (図示せず) 上に設置され、前記パンプ電極101を形成する共晶はんだ (Sn/Pb=63:37) の融点183℃よりも高温の230℃程度に予備加熱する。一方、半導体チップ100を固定する台 (図示せず) もステージ温度230℃と同じ温度で窒素雰囲気中において加熱し、パンプ電極101を形成する共晶はんだを溶融させることによって半導体チップ100を配線基板103に電気的に接続実装し本発明の半導体装置を構成する。

【0034】このとき図15のように前記実装した半導体チップ100を被覆するように半導体チップ100と配線基板103との間にエポキシ樹脂104を充填、硬化して半導体装置を構成しても良い。この場合充填する樹脂は種々のものを用いることができるが、例えばアクリル樹脂、ポリイミド樹脂、シリコーン樹脂等を用いることができる。さらに熱膨張係数が基板或いはシリコンと近く、耐食性に優れていることを考慮するとエポキシ樹脂を用いることが好ましい。

【0035】上記のようにして作製された例えばパンプ電極数700を有する10 mm角、半導体チップ100を窒化アルミニウムからなる配線基板103上に実装した (樹脂104は充填していない)。このサンプルに対して、-65℃ (30 min) ~ 25℃ (5 min) ~ 150℃ (30 min) ~ 25℃ (5 min) を3000サイクルの耐久テストを行っても接続箇所には破断の箇所の発生は認められなかった。さらに半導体チップ100と配線基板103との間にシリコーン樹脂104等を充填、硬化して構成した半導体装置の場合5000サ

イクル経過しても破断は発生しなかった。このように配線基板 103 と半導体チップ 100 の間に樹脂系の接着剤が充填されているためパンプ電極のみによる接合よりも信頼性が向上している。

【0036】またパンプ電極 101 の強度は 20 g/個で問題はなく、パンプ電極の剥離、強度の減少は全く起こらなかった。さらにパンプ電極間でショートも全く起こらなかった。

【0037】(実施例 2) 次に本発明の他の実施例を説明する。図 16 から図 17 は本発明の第 2 の実施例に係る半導体素子及び半導体装置の製造方法を説明する各工程の断面図である。

【0038】先ず実施例 1 で説明したものと同様に図 3 に示す半導体ウェハを用意する。次に図 16 に示すようにフォトリソ技術により、アルミニウム電極パッド 1 (20  $\mu$ m 角) と重なるように同じ大きさの 20  $\mu$ m 角の開口部をレジスト 21 により形成する。

【0039】次にこの開口部にスズ 12 g/リットル、鉛 8 g/リットル、アルカンスルホン酸 100 g/リットルからなる溶液に浸し、浴温度 25℃ で Cu/Ti 金属膜 7 を陰極、図示しないはんだ板 (スズ 63%、鉛 37%) を陽極とし、電流密度 5 A/dm<sup>2</sup> を印加して緩やかにかくはんしながら、前記開口部に Sn/Pb=63:37 のはんだ合金からなるパンプ電極 9 を 30  $\mu$ m めっきした。次いでレジスト 21 をアセトンなどの有機溶剤で除去する。

【0040】次に図 17 に示すようにフォトリソ技術により、パンプ電極 9、検査用パッド 7、を覆うように、長方形或いは正方形のパターンをレジスト 22 により形成する。

【0041】次にレジスト 22 をマスクとして前述の Cu/Ti 金属膜をエッチングする。エッチング後アセトンによりレジスト 22 を溶解除去する。このように本実施例では実施例 1 と比較するとマスク工程、エッチング工程を 1 工程削除することができる。

【0042】以下の工程は実施例 1 と同様の工程を経る。図 13 に示すように、検査用パッド 11 上を酸化または窒化処理しはんだに濡れない層 12 を形成する。その後半導体ウェハ 3 を窒素雰囲気中で 230℃ で 1 分間加熱し、はんだをリフローする。次にそれぞれの半導体チップをダイシングして本実施例による半導体素子は完成する。

【0043】このようにして形成された半導体素子を検査用のパッド 11 に、検査用のプローブを接触させ半導体素子の検査をしたところ、パンプ電極 9 に全く傷を与えることなく検査をすることができた。またプローブは検査用パッド 11 上の酸化または窒化層 12 を容易に突き破ることができるためプローブと検査用パッド 11 との接触は良好である。

【0044】次に図 14 に示すように、このようにして

作製した半導体素子を通常の方法により、配線基板上に実装した。すなわち配線基板 103 上の Cu 等で構成された接続パッド 102 と半導体チップ 100 上のパンプ電極 101 を例えばハーフミラーを用いる位置合わせ装置などを使って接触させる。このとき配線基板 103 は加熱機構を有するステージ (図示せず) 上に設置され、前記パンプ電極 101 を形成する共晶はんだ (Sn/Pb=63:37) の融点 183℃ よりも高温の 230℃ 程度に予備加熱する。一方、半導体チップ 100 を固定する台 (図示せず) もステージ温度 230℃ と同じ温度で窒素雰囲気中において加熱し、パンプ電極 101 を形成する共晶はんだを溶融させることによって半導体チップ 100 を配線基板 103 に電気的に接続実装し本発明の半導体装置を構成する。

【0045】第 1 の実施例は 50  $\mu$ m ピッチ以下の微細接合に関して有効であるが、第 2 の実施例は 50  $\mu$ m ピッチよりも大きいパッドピッチに関して有効である。第 2 の実施例はマスク工程・エッチング工程を 1 工程少なくすることはできるが微細ピッチの場合パンプ電極上への精度良いレジストのパターン形成が困難であり、パンプ電極間のショートが発生する可能性があるため、作成する半導体素子により工程を選択する必要がある。

【0046】また、以上の実施例ではリフロー時にはんだが検査用パッドに流れ出すのを防ぐために酸化層または窒化層を検査用パッド上に形成したが、図 18 に示すように検査用パッド 23 の金属をチタン、クロム、モリブデン、アルミニウムなどのはんだに濡れない金属を用い、パンプ電極 9 とバリアメタル 23 間には銅、ニッケル、銀、金、パラジウム、スズ等のはんだに濡れる金属膜 24 を形成することによりはんだが検査用パッド上に流れ出ることを防ぐことができる。

【0047】また図 19 に示すように検査用パッド 11 上に、ソルダーレジスト、ポリイミド樹脂、シリコン樹脂或いはエポキシ樹脂等からなるはんだ流れ止めのダムを形成することによってリフロー時にはんだが検査用パッドに流れ出すのを防ぐことができる。

【0048】以上の実施例ではパンプ電極をはんだを用いて形成したが、これに限定されるものではなく、例えば銅、ニッケル、アルミニウム、アンチモン、ガリウム、カドミウム、金、銀、鉄、スズ、鉛、インジウム、ビスマス、チタン、クロムやこれらの合金でも良い。バリアメタルとして用いる金属は例えば銅、チタン、クロム、ニッケル、タンゲステン、モリブデン、金、銀、パラジウム、スズなどや、さらにこれらの金属の多層膜でも良い。もちろん配線基板 103 もシリコン系、窒化アルミニウム系、アルミナ系、樹脂基板系などであってもよい。その他、本発明の要旨を逸脱しない範囲で種種変形した構成で実施し得る。

【0049】

【発明の効果】以上詳述したように、パンプ電極付き半

導体素子を検査する際、パンプ電極に直接検査用のプローブ等の針を接触させる必要がなく、パンプ電極に損傷を与えず装置の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図 1】 (a) 本発明の半導体素子の上面図、(b) 本発明の半導体素子の断面図

【図 2】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 3】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 4】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 5】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する上面図

【図 6】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 7】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する上面図

【図 8】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 9】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 10】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 11】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する上面図

【図 12】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 13】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 14】 本発明の実施例に係わる半導体装置の製造

方法を説明する断面図

【図 15】 本発明の実施例に係わる半導体装置の製造方法を説明する断面図

【図 16】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 17】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 18】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

10 【図 19】 本発明の実施例に係わる半導体素子及び装置の製造方法を説明する断面図

【図 20】 従来の半導体素子のパンプ電極構造の断面図

【符号の説明】

1・・・パンプ電極接続用パッド

2・・・絶縁膜

3・・・半導体チップ (ウェハ)

4・・・バリアメタル及び検査用パッドとなる金属膜

5・・・レジスト

20 8・・・レジスト

9・・・はんだパンプ電極

10・・・レジスト

11・・・検査用パッド

12・・・はんだに濡れない層

100・・・半導体チップ

101・・・パンプ電極

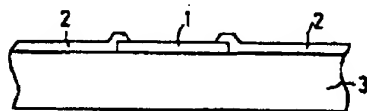
102・・・電極パッド

103・・・配線基板

104・・・樹脂

30 200・・・検査用プローブ

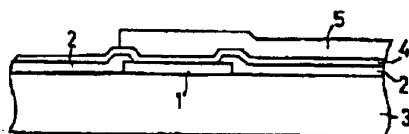
【図 2】



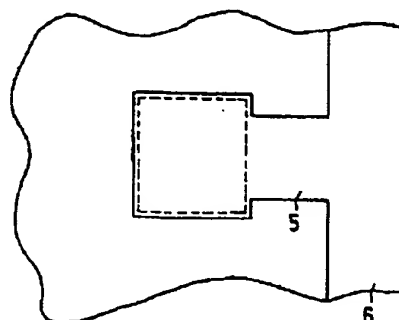
【図 3】



【図 4】

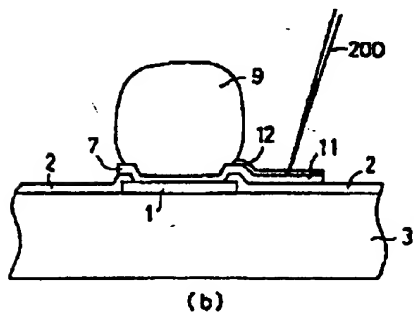
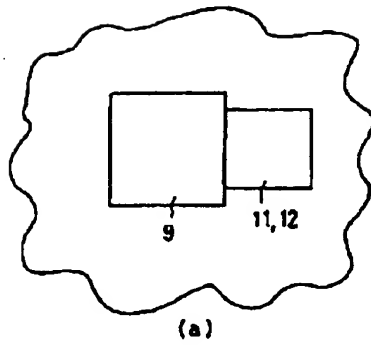


【図 5】

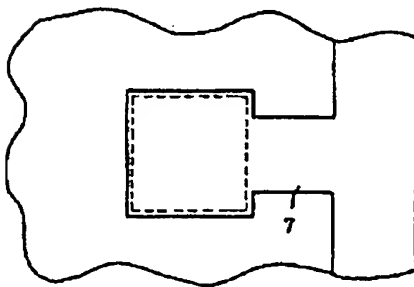




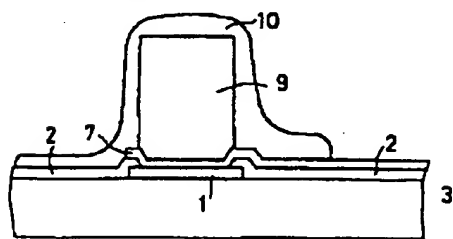
【図 1】



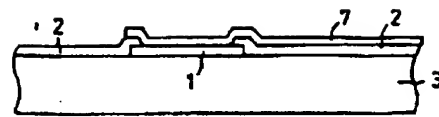
【図 7】



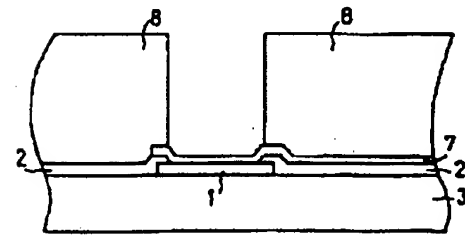
【図 10】



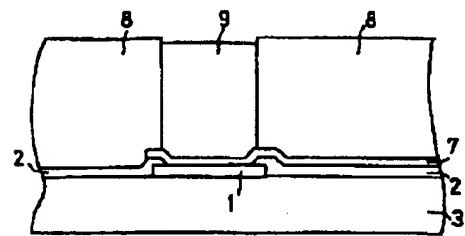
【図 6】



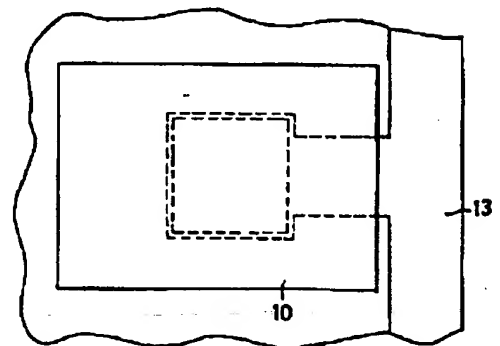
【図 8】



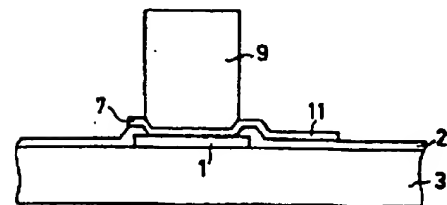
【図 9】



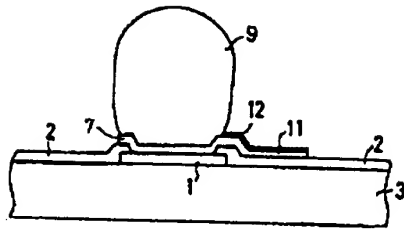
【図 11】



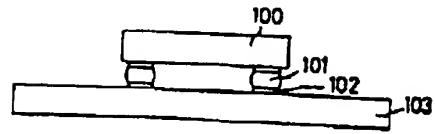
【図 12】



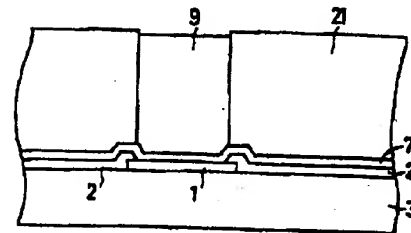
【図13】



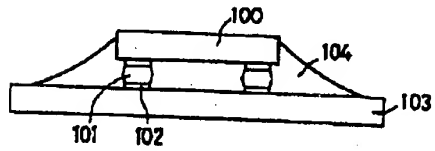
【図14】



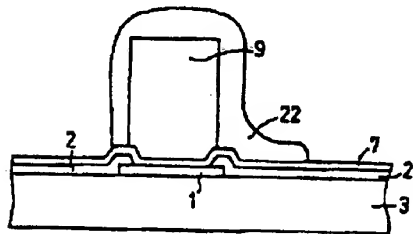
【図16】



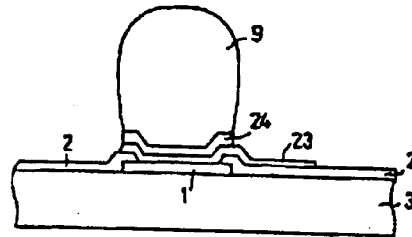
【図15】



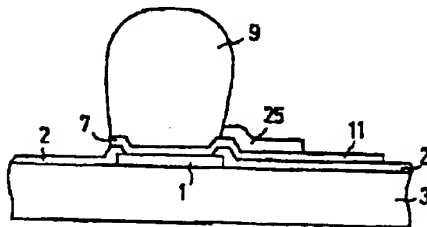
【図17】



【図18】



【図19】



【図20】

